

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0065286
Application Number

출원년월일 : 2002년 10월 24일
Date of Application OCT 24, 2002

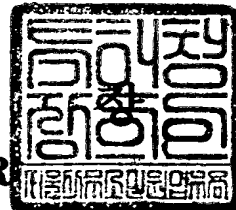
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 05 월 06 일

특 허 청

COMMISSIONER





【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.10.24
【발명의 명칭】	플래쉬 아날로그 디지털 변환회로의 비교기 어레이의 배치 방법
【발명의 영문명칭】	Layout method of comparator array of flash analog digital converter
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박상수
【대리인코드】	9-1998-000642-5
【포괄위임등록번호】	2000-054081-9
【발명자】	
【성명의 국문표기】	최희철
【성명의 영문표기】	CHOI, HEE CHEOL
【주민등록번호】	680930-1037719
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 967-2 신나무실 극동아파트 612동 1202 호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박상수 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	9 면 9,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	10 항 429,000 원
【합계】	467,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명은 플래쉬 아날로그 디지털 변환회로의 비교기 어레이의 배치방법을 공개한다. 이 배치방법은 2^n 개의 기준전압들을 발생하고, 접어서 배치된 기준전압 발생회로, 2^n 개의 기준전압들 각각과 아날로그 입력신호의 전압 차를 비교하여 2^{n-1} 개의 온도계 코드를 가진 디지털 신호를 발생하는 2^{n-1} 개의 비교기들을 구비한 비교기 어레이, 및 2^{n-1} 개의 온도계 코드를 가진 디지털 신호를 엔코딩하여 n비트의 디지털 신호를 발생하는 엔코더를 구비한 플래쉬 아날로그 디지털 변환회로의 비교기 어레이의 배치방법에 있어서, 비교기 어레이의 제 2^{n-1} 번째 비교기로부터 제 $2^n/2$ 번째 비교기까지의 비교기들을 순서대로 배치하고, 2^{n-1} 개의 비교기들의 제 $2^n/2-1$ 번째 비교기로부터 제1번째 비교기까지의 비교기들을 2^{n-1} 개의 비교기들의 제 2^{n-1} 번째 비교기로부터 상기 제 $2^n/2$ 번째 비교기까지의 비교기들 사이에 역순으로 배치하고, 비교기 어레이의 제 2^{n-1} 번째 비교기로부터 제 $2^n/2$ 번째 비교기까지의 2^{n-1} 개의 비교기들 각각이 다른 상태로 천이시에 2^{n-1} 개의 비교기들 각각에 인접한 비교기들이 동일 상태로 천이하도록 상기 비교기들을 배치하는 것을 특징으로 한다. 따라서, 레이아웃 면적을 증가하지 않으면서 인접한 비교기들의 영향을 받아 오프셋 전압이 증가하는 것을 방지할 수 있다.

【대표도】

도 2

【명세서】**【발명의 명칭】**

플래쉬 아날로그 디지털 변환회로의 비교기 어레이의 배치방법{Layout method of comparator array of flash analog digital converter}

【도면의 간단한 설명】

도1은 종래의 플래쉬 아날로그 디지털 변환회로의 일예의 배치를 설명하기 위한 것이다.

도2는 본 발명의 플래쉬 아날로그 디지털 변환회로의 일실시예의 배치를 설명하기 위한 것이다.

도3은 본 발명의 플래쉬 아날로그 디지털 변환회로의 다른 실시예의 배치를 설명하기 위한 것이다.

도4는 도2 및 도3에 나타난 비교기 어레이의 프리 앰프 및 래치의 실시예의 구성을 나타내는 회로도이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<5> 본 발명은 플래쉬 아날로그 디지털 변환회로에 관한 것으로, 특히 플래쉬 아날로그 디지털 변환회로를 구성하는 비교기 어레이의 배치방법에 관한 것이다.

<6> 일반적인 플래쉬 아날로그 디지털 변환회로는 기준전압 발생회로, 온도계 코드 생성회로, 및 엔코더로 구성되어 있다. 그리고, 기준전압 발생회로는 2ⁿ개의 저항들로 구

성되고, 온도계 코드 생성회로는 2^n-1 개의 비교기들로 구성된 비교기 어레이로 구성되어 있다.

<7> 일반적인 플래쉬 아날로그 디지털 변환회로의 2^n 개의 저항들과 2^n-1 개의 비교기들의 배치방법은 기준전압 입력단자 및 아날로그 신호 입력단자를 모아서 배치하기 위하여 2^n 개의 저항들을 2 열로 접어서 배치하게 된다. 이에 따라, 2^n-1 개의 비교기들 또한 순서대로 배치되지 않고 엇갈려서 배치된다.

<8> 따라서, 2^n-1 개의 비교기들 각각이 상태 천이시에 인접 비교기들 또한 상태 천이를 하게 되는데, 이때, 상술한 바와 같이 배치됨으로 인해서 인접 비교기들로부터 출력되는 디지털 신호가 동일 상태로 천이하지 않고 다른 상태로 천이하게 된다. 이에 따라, 비교기들 각각에 인접한 비교기들의 동작이 비교기의 동작에 영향을 주어 비교기들 각각의 오프셋 전압이 증가함으로써 정확한 디지털 신호를 발생할 수 없다는 문제점이 있다.

<9> 물론, 이와같은 문제점을 제거하기 위하여 비교기들사이에 더미 소자 또는 메탈 등을 추가하는 방법이 있을 수 있으나, 이와같이 구성하게 되면 레이아웃 면적을 증가하게 된다는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<10> 본 발명의 목적은 레이아웃 면적을 증가하지 않으면서 비교기 어레이를 구성하는 비교기들 각각이 인접한 비교기들의 영향을 받아 오프셋 전압이 증가하는 것을 방지할 수 있는 플래쉬 아날로그 디지털 변환회로의 비교기 어레이의 배치방법을 제공하는데 있다.

<11> 이와같은 목적을 달성하기 위한 본 발명의 플래쉬 아날로그 디지털 변환회로의 비교기 어레이의 배치방법은 2^n 개의 기준전압들을 발생하고, 접어서 배치된 기준전압 발생 수단, 상기 2^n 개의 기준전압들 각각과 아날로그 입력신호의 전압 차를 비교하여 2^{n-1} 개의 온도계 코드를 가진 디지털 신호를 발생하는 2^{n-1} 개의 비교기들을 구비한 비교기 어레이, 및 상기 2^{n-1} 개의 온도계 코드를 가진 디지털 신호를 엔코딩하여 n비트의 디지털 신호를 발생하는 엔코더를 구비한 플래쉬 아날로그 디지털 변환회로의 비교기 어레이의 배치방법에 있어서, 상기 비교기 어레이의 상기 제 2^{n-1} 번째 비교기로부터 제 $2^n/2$ 번째 비교기까지의 비교기들을 순서대로 배치하고, 상기 2^{n-1} 개의 비교기들의 제 $2^n/2-1$ 번째 비교기로부터 제1번째 비교기까지의 비교기들을 상기 2^{n-1} 개의 비교기들의 제 2^{n-1} 번째 비교기로부터 상기 제 $2^n/2$ 번째 비교기까지의 비교기들사이에 역순으로 배치하고, 상기 비교기 어레이의 제 2^{n-1} 번째 비교기로부터 제 $2^n/2$ 번째 비교기까지의 상기 2^{n-1} 개의 비교기들 각각이 다른 상태로 천이시에 상기 2^{n-1} 개의 비교기들 각각에 인접한 비교기들이 동일 상태로 천이하도록 상기 비교기들을 배치하는 것을 특징으로 한다.

<12> 상기 비교기 어레이의 상기 2^{n-1} 개의 비교기들 각각은 포지티브 입출력단자 및 네거티브 입출력단자를 구비하고, 포지티브 입출력단자, 네거티브 입출력단자, 포지티브 입출력단자, 네거티브 입출력단자, 네거티브 입출력단자, 포지티브 입출력단자, 네거티브 입출력단자, 포지티브 입출력단자 순으로 배치되도록 상기 제 2^{n-1} 번째 비교기로부터 제 $2^n/2$ 번째 비교기까지의 비교기들을 배치하는 것을 특징으로 하거나,

<13> 상기 비교기 어레이의 상기 2^{n-1} 개의 비교기들 각각은 포지티브 입출력단자 및 네거티브 입출력단자를 구비하고, 네거티브 입출력단자, 포지티브 입출력단자, 네거티브 입출력단자, 포지티브 입출력단자, 포지티브 입출력단자, 네거티브 입출력단자, 포지티브 입출력단자, 네거티브 입출력단자 순으로 배치되도록 상기 제 2^{n-1} 번째 비교기로부터 제 $2^n/2$ 번째 비교기까지의 비교기들을 배치하는 것을 특징으로 하거나,

브 입출력단자, 네거티브 입출력단자 순으로 배치되도록 상기 제 2^n-1 번째 비교기로부터 제 $2^n/2$ 번째 비교기까지의 비교기들을 배치하는 것을 특징으로 한다.

【발명의 구성 및 작용】

- <14> 이하, 첨부한 도면을 참고로 하여 본 발명의 플래쉬 아날로그 디지털 변환회로의 비교기 어레이의 배치방법을 설명하기 전에 종래의 플래쉬 아날로그 디지털 변환회로의 비교기 어레이의 배치방법을 설명하면 다음과 같다.
- <15> 도1은 종래의 플래쉬 아날로그 디지털 변환회로의 일예의 배치를 설명하기 위한 것으로, 기준전압 발생회로(10), 비교기 어레이(20), 및 엔코더(30)로 구성되어 있다.
- <16> 도1에서, 기준전압 발생회로(10)는 기준전압(REF+)과 기준전압(REF-)사이에 직렬 연결된 16개의 저항들(R)로 구성되고, 비교기 어레이(20)는 프리 앰프 회로(12)와 래치 회로(14)로 구성되어 있다. 프리 앰프 회로(12)는 15개의 프리 앰프들(12-1 ~ 12-15)와 2개의 더미 프리 앰프들(13-1, 13-2)로 구성되고, 래치 회로(14)는 15개의 래치들(14-1 ~ 14-15)와 2개의 더미 래치들(15-1, 15-2)로 구성되어 있다.
- <17> 도1에서, 하나의 프리 앰프와 하나의 래치가 하나의 비교기를 구성한다.
- <18> 도1에 나타낸 회로의 배치를 설명하면 다음과 같다.
- <19> 기준전압(REF+, REF-) 단자들과 아날로그 입력신호(AIN+, AIN-) 단자들이 일측으로 나란하게 배치되고, 이에 따라, 16개의 저항들(R)이 접어서 배치되어 있다. 그리고, 15개의 프리 앰프들(12-1 ~ 12-15)이 순서대로 배치되지 않고, 프리 앰프들이 12-15, 12-1, 12-14, 12-2, ..., 12-7, 12-8의 순서로 배치되어 있다. 더미 프리 앰프들(13-1, 13-2)이 15개의 프리 앰프들(12-1 ~ 12-15)의 양측에 배치되어 있다. 그리고, 15개의 래

치들(14-1 ~ 14-15)이 14-15, 14-1, 14-14, 14-2, ..., 14-7, 14-8의 순서로 배치되어 있다. 더미 래치들(15-1, 15-2)이 15개의 래치들(14-1 ~ 14-15)의 양측에 배치되어 있다.

<20> 도1에 나타낸 회로의 기능을 설명하면 다음과 같다.

<21> 16개의 저항들(R)은 전압(REF+)과 전압(REF-)을 분배하여 15개 레벨의 분배된 기준 전압들(VR1 ~ VR15)을 발생한다. 즉, 만일 전압(REF-)이 0V이고 전압(REF+)이 1V라면 1/16, 2/16, ..., 15/16V의 기준전압들을 발생한다.

<22> 프리 앰프(12-1)는 기준전압(VR1)과 아날로그 입력신호(AIN+)의 전압의 차를 증폭하여 포지티브 출력단자로 출력하고, 기준전압(VR15)과 아날로그 입력신호(AIN-)의 전압의 차를 증폭하여 네거티브 출력단자로 출력한다. 프리 앰프(12-15)는 기준전압(VR15)과 아날로그 입력신호(AIN+)의 전압의 차를 증폭하여 포지티브 출력단자로 출력하고, 기준전압(VR1)과 아날로그 입력신호(AIN-)의 전압의 차를 증폭하여 네거티브 출력단자로 출력한다. 마찬가지로 방법으로, 프리 앰프들(12-2 ~ 12-14)은 기준전압들(VR2, VR3, VR4, VR5, VR6, VR7, VR8, VR9, VR10, VR11, VR12, VR13, VR14) 각각과 아날로그 입력신호(AIN+)의 전압의 차를 증폭하여 포지티브 출력단자로 출력하고, 프리 앰프들(12-2 ~ 12-14)은 기준전압들(VR14, VR13, VR12, VR11, VR10, VR9, VR8, VR7, VR6, VR5, VR4, VR3, VR2) 각각과 아날로그 입력신호(AIN-)의 전압의 차를 증폭하여 네거티브 출력단자로 출력한다.

<23> 래치(14-1)는 프리 앰프(12-1)의 네거티브 및 포지티브 출력단자로부터 출력되는 신호들 각각을 래치하여 네거티브 및 포지티브 출력단자들로 출력한다. 이때 출력되는 신호는 "0"과 "1"의 디지털 신호이다.

<24> 엔코더(30)는 비교기 어레이(20)로부터 출력되는 2^n-1 개의 온도계 코드를 가진 디지털 신호를 엔코딩하여 n비트의 디지털 신호를 발생한다.

<25> 도1에 나타낸 플래쉬 아날로그 변환회로의 아날로그 입력신호(AIN)의 레벨에 따른 비교기 어레이의 비교기들의 네거티브 출력단자와 포지티브 출력단자로 출력되는 디지털 신호의 상태를 나타내면 아래의 표1과 같다.

<26> 【표 1】

AIN	DC1	C15	C1	C14	C2	C13	C3	C12	C4	C11	C5	C10	C6	C9	C7	C8	DC2
	- +	- +	- +	- +	- +	- +	- +	- +	- +	- +	- +	- +	- +	- +	- +	- +	- +
16	0 1	0 1	0 1	0 1	0 1	0 1	0 1	0 1	0 1	0 1	0 1	0 1	0 1	0 1	0 1	0 1	0 1
15	0 1	1 0	0 1	0 1	0 1	0 1	0 1	0 1	0 1	0 1	0 1	0 1	0 1	0 1	0 1	0 1	0 1
14	0 1	1 0	0 1	1 0	0 1	0 1	0 1	0 1	0 1	0 1	0 1	0 1	0 1	0 1	0 1	0 1	0 1
13	0 1	1 0	0 1	1 0	0 1	1 0	0 1	0 1	0 1	0 1	0 1	0 1	0 1	0 1	0 1	0 1	0 1
12	0 1	1 0	0 1	1 0	0 1	1 0	0 1	1 0	0 1	0 1	0 1	0 1	0 1	0 1	0 1	0 1	0 1
11	0 1	1 0	0 1	1 0	0 1	1 0	0 1	1 0	0 1	1 0	0 1	0 1	0 1	0 1	0 1	0 1	0 1
10	0 1	1 0	0 1	1 0	0 1	1 0	0 1	1 0	0 1	1 0	0 1	1 0	0 1	0 1	0 1	0 1	0 1
9	0 1	1 0	0 1	1 0	0 1	1 0	0 1	1 0	0 1	1 0	0 1	1 0	0 1	1 0	0 1	0 1	0 1
8	0 1	1 0	0 1	1 0	0 1	1 0	0 1	1 0	0 1	1 0	0 1	1 0	0 1	1 0	0 1	1 0	1 0
7	0 1	1 0	0 1	1 0	0 1	1 0	0 1	1 0	0 1	1 0	0 1	1 0	0 1	1 0	1 0	1 0	1 0
6	0 1	1 0	0 1	1 0	0 1	1 0	0 1	1 0	0 1	1 0	0 1	1 0	1 0	1 0	1 0	1 0	1 0
5	0 1	1 0	0 1	1 0	0 1	1 0	0 1	1 0	0 1	1 0	1 0	1 0	1 0	1 0	1 0	1 0	1 0
4	0 1	1 0	0 1	1 0	0 1	1 0	0 1	1 0	1 0	1 0	1 0	1 0	1 0	1 0	1 0	1 0	1 0
3	0 1	1 0	0 1	1 0	0 1	1 0	1 0	1 0	1 0	1 0	1 0	1 0	1 0	1 0	1 0	1 0	1 0
2	0 1	1 0	0 1	1 0	1 0	1 0	1 0	1 0	1 0	1 0	1 0	1 0	1 0	1 0	1 0	1 0	1 0
1	0 1	1 0	1 0	1 0	1 0	1 0	1 0	1 0	1 0	1 0	1 0	1 0	1 0	1 0	1 0	1 0	1 0

<27> 표1에서, DC1, DC2로 나타낸 것은 더미 프리 앰프들(13-1, 13-2) 각각과 더미 래치들(15-1, 15-2) 각각으로 구성된 더미 비교기들을 나타내는 것이고, C1 ~ C15로 나타낸 것은 프리 앰프들(12-1 ~ 12-15) 각각과 래치들(14-1 ~ 14-15) 각각으로 구성된 비교기들을 나타내는 것이다. 그리고, AIN은 아날로그 입력신호(AIN+)의 전압에서 아날로그 입력신호(AIN-)의 전압을 뺀 전압을 나타내는 것이고, 1 내지 16으로 나타낸 것은 아날로



그 입력신호의 전압 레벨을 나타내는 것으로, 1은 REF- ~ VR1까지의 전압 레벨을, 2는 VR1 ~ VR2까지의 전압 레벨을, 16은 VR15 ~ REF+까지의 전압 레벨을 각각 나타낸다.

<28> 비교기(C15)는 VR15 ~ REF+ 레벨의 아날로그 입력신호(AIN)가 인가되는 경우에 네거티브 및 포지티브 출력단자들 각각을 통하여 "0", "1"의 디지털 신호를 발생하고, 기준 전압(VR15) 레벨보다 낮은 레벨의 아날로그 입력신호(AIN)가 인가되는 경우에는 "1", "0"의 디지털 신호를 발생한다. 비교기(C1)는 REF- ~ VR1 레벨의 아날로그 입력신호(AIN)가 인가되는 경우에 네거티브 및 포지티브 출력단자들 각각을 통하여 "1", "0"의 디지털 신호를 발생하고, 기준전압(VR1) 레벨보다 높은 레벨의 아날로그 입력신호(AIN)가 인가되는 경우에는 "0", "1"의 디지털 신호를 발생한다.

<29> 그런데, 표1에서 비교기들(C1 ~ C15)의 네거티브 및 포지티브 출력단자에서 레벨 천이가 발생하는 경우에 인접한 비교기들 각각이 서로 다른 상태로 천이하게 된다.

<30> 예를 들어 설명하면, 비교기(C1)는 아날로그 입력신호가 REF- ~ VR1 레벨에서 VR1 ~ VR2 레벨로 천이하는 경우에 네거티브 출력단자의 디지털 신호가 "1"에서 "0"으로 천이하고, 포지티브 출력단자의 디지털 신호가 "0"에서 "1"로 천이한다. 이때, 인접한 비교기(C15)의 포지티브 출력단자의 디지털 신호가 "0"에서 "0"으로 천이하고, 인접한 비교기(C14)의 네거티브 출력단자의 디지털 신호가 "1"에서 "1"로 천이한다. 즉, 인접한 비교기들(C15, C14)로부터 출력되는 디지털 신호가 서로 다른 상태로 천이한다.

<31> 이에 따라, 비교기(C1)가 인접 비교기들(C15, C14)의 동작에 영향을 받아 오프셋 전압이 허용된 범위를 넘어서게 됨으로써 정확한 디지털 신호를 발생할 수 없게 된다는 문제점이 있다.

<32> 예를 들어 설명하면, 비교기(C1)는 아날로그 입력신호(AIN)가 REF- ~ VR1 레벨인 경우에 디지털 신호 "1", "0"을 발생하여야 하는데, 오프셋 전압이 허용된 범위를 넘어서게 되면 아날로그 입력신호(AIN)가 REF- ~ VR1 레벨보다 높은 레벨인 경우에도 디지털 신호 "1", "0"을 발생하거나 아날로그 입력 신호 (AIN)가 VR1 ~ VR2 레벨보다 낮은 레벨인 경우에도 디지털 신호가 "0", "1"을 발생하게 된다. 즉, 아날로그 입력신호(AIN)가 VR1 ~ VR2 레벨인 경우에는 "0", "1"의 디지털 신호를 발생하여야 하는데, "1", "0"의 디지털 신호를 발생하거나 아날로그 입력 신호 (AIN)가 REV- ~ VR1 레벨인 경우에는 "1", "0"의 디지털 신호를 발생하여야 하는데, "0", "1"의 디지털 신호를 발생하게 된다.

<33> 실험에 의해서 확인된 바에 의하면, 비교기들(C1 ~ C15) 각각의 허용된 오프셋 전압이 8mV일 때 비교기들(C1 ~ C15) 각각으로부터 출력되는 디지털 신호의 상태가 바뀔 때 인접한 비교기들이 서로 다른 상태로 천이함에 의해서 비교기들(C1 ~ C15) 각각의 오프셋 전압이 10mV ~ 30mV로 증가한다.

<34> 도2는 본 발명의 플래쉬 아날로그 디지털 변환회로의 일실시예의 배치를 설명하기 위한 것으로, 도1에 나타낸 회로와 구성상에 있어서는 동일하다. 단지, 비교기 어레이(20)를 구성하는 프리 앰프들(12-1, 12-14, 12-3, 12-12, 12-5, 12-10, 12-7, 12-8)과 래치들(14-1, 14-14, 14-3, 14-12, 14-5, 14-10, 14-7, 14-8)의 네거티브 및 포지티브 입출력 단자들의 위치를 바꾸어서 배치한 것이 상이하다. 그리고, 더미 프리 앰프(13-2)로 기준전압들(VR9, VR7)이 인가되도록 구성된 것이 상이하다.

<35> 도2에서, 더미 프리 앰프들(13-1, 13-2), 및 프리 앰프들(12-15, 12-2, 12-13, 12-4, 12-11, 12-6, 12-9)의 회로와 프리 앰프들(12-1, 12-14, 12-3, 12-12, 12-5, 12-10, 12-7, 12-8)의 회로가 대칭적으로 구성되어 있다. 마찬가지로, 더미 래치들

(15-1, 15-2), 및 래치들(14-15, 14-2, 14-13, 14-4, 14-11, 14-6, 14-9)의 회로와 래치들(14-1, 14-14, 14-3, 14-12, 14-5, 14-10, 14-7, 14-8)의 회로가 대칭적으로 구성되어 있다.

<36> 도2에 나타난 회로의 동작은 도1에 나타난 회로의 동작과 동일하므로, 도1의 동작 설명을 참고로 하면 쉽게 이해될 것이다.

<37> 도2에 나타난 플래쉬 아날로그 변환회로의 아날로그 입력신호(AIN)의 레벨에 따른 비교기 어레이의 비교기들의 네거티브 출력단자와 포지티브 출력단자로 출력되는 디지털 신호의 상태를 나타내면 아래의 표2과 같다.

<38> 【표 2】

AIN	DC1	C15	C1	C14	C2	C13	C3	C12	C4	C11	C5	C10	C6	C9	C7	C8	DC2
	- +	- +	+ -	+ -	- +	- +	+ -	+ -	- +	- +	+ -	+ -	- +	- +	+ -	+ -	- +
16	0 1	0 1	1 0	1 0	0 1	0 1	1 0	1 0	0 1	0 1	1 0	1 0	0 1	0 1	1 0	1 0	0 1
15	0 1	1 0	1 0	1 0	0 1	0 1	1 0	1 0	0 1	0 1	1 0	1 0	0 1	0 1	1 0	1 0	0 1
14	0 1	1 0	1 0	0 1	0 1	0 1	1 0	1 0	0 1	0 1	1 0	1 0	0 1	0 1	1 0	1 0	0 1
13	0 1	1 0	1 0	0 1	0 1	1 0	1 0	1 0	0 1	0 1	1 0	1 0	0 1	0 1	1 0	1 0	0 1
12	0 1	1 0	1 0	0 1	0 1	1 0	1 0	0 1	0 1	0 1	1 0	1 0	0 1	0 1	1 0	1 0	0 1
11	0 1	1 0	1 0	0 1	0 1	1 0	1 0	0 1	0 1	1 0	1 0	1 0	0 1	0 1	1 0	1 0	0 1
10	0 1	1 0	1 0	0 1	0 1	1 0	1 0	0 1	0 1	1 0	1 0	0 1	0 1	0 1	1 0	1 0	0 1
9	0 1	1 0	1 0	0 1	0 1	1 0	1 0	0 1	0 1	1 0	1 0	0 1	0 1	1 0	1 0	1 0	0 1
8	0 1	1 0	1 0	0 1	0 1	1 0	1 0	0 1	0 1	1 0	1 0	0 1	0 1	1 0	1 0	0 1	0 1
7	0 1	1 0	1 0	0 1	0 1	1 0	1 0	0 1	0 1	1 0	1 0	0 1	0 1	1 0	0 1	0 1	1 0
6	0 1	1 0	1 0	0 1	0 1	1 0	1 0	0 1	0 1	1 0	1 0	0 1	1 0	1 0	0 1	0 1	1 0
5	0 1	1 0	1 0	0 1	0 1	1 0	1 0	0 1	0 1	1 0	0 1	0 1	1 0	1 0	0 1	0 1	1 0
4	0 1	1 0	1 0	0 1	0 1	1 0	1 0	0 1	1 0	1 0	0 1	0 1	1 0	1 0	0 1	0 1	1 0
3	0 1	1 0	1 0	0 1	0 1	1 0	0 1	0 1	1 0	1 0	0 1	0 1	1 0	1 0	0 1	0 1	1 0
2	0 1	1 0	1 0	0 1	1 0	1 0	0 1	0 1	1 0	1 0	0 1	0 1	1 0	1 0	0 1	0 1	1 0
1	0 1	1 0	0 1	0 1	1 0	1 0	0 1	0 1	1 0	1 0	0 1	0 1	1 0	1 0	0 1	0 1	1 0

<39> 표2에 나타난 부호들은 표1에 나타난 부호들과 동일한 방법으로 나타난 것이다.

<40> 표2에 나타난 비교기들(C1 ~ C15)로부터 출력되는 디지털 신호와 표1에 나타난 비교기들(C1 ~ C15)로부터 출력되는 디지털 신호는 동일하다.

- <41> 그런데, 비교기들(C1, C14, C3, C12, C5, C14, C7, C8)의 네거티브 및 포지티브 입력 출력단자들의 위치가 바뀌어서 배치됨으로 인해서 출력되는 디지털 신호의 위치가 바뀌어서 발생된다. 즉, 이들 비교기들(C1, C14, C3, C12, C5, C14, C7, C8)로부터 출력되는 디지털 신호가 표1에서는 "1", "0"이었으나 표2에서는 "0", "1"로 되고, 표1에서는 "0", "1"이었으나 표2에서는 "1", "0"으로 된다.
- <42> 표2로부터 알 수 있듯이, 비교기들(C1 ~ C15) 각각의 네거티브 및 포지티브 출력단자들로부터 출력되는 디지털 신호가 "0", "1"에서 "1", "0"으로 천이할 때 및 "1", "0"에서 "0", "1"로 천이할 때 인접한 비교기들의 포지티브(또는, 네거티브) 출력단자들로부터 출력되는 디지털 신호가 "0"에서 "0"로 또는 "1"에서 "1"로 천이한다. 즉, 비교기들(C1 ~ C15) 각각에 인접한 비교기들의 포지티브(또는, 네거티브) 출력단자들로부터 출력되는 디지털 신호가 동일 상태로 천이한다.
- <43> 예를 들어 설명하면, 비교기(C1)는 아날로그 입력신호가 REF- ~ VR1 레벨에서 VR1 ~ VR2 레벨로 천이하는 경우에 네거티브 출력단자의 디지털 신호가 "1"에서 "0"으로 천이하고, 포지티브 출력단자의 디지털 신호가 "0"에서 "1"로 천이한다. 이때, 인접한 비교기(C15)의 포지티브 출력단자의 디지털 신호가 "0"에서 "0"으로 천이하고, 인접한 비교기(C14)의 포지티브 출력단자의 디지털 신호가 "0"에서 "0"로 천이한다. 즉, 인접한 비교기(C15)의 포지티브 출력단자와 인접한 비교기(C14)의 포지티브 출력단자의 디지털 신호가 동일 상태로 천이한다. 이에 따라, 비교기(C1)가 인접 비교기들(C15, C14)의 동작에 영향을 받아 오프셋 전압이 증가되는 현상이 방지됨으로써 정확한 디지털 신호를 발생할 수 있다.

- <44> 마찬가지로, 비교기들(C2 ~ C15) 각각도 인접 비교기들의 동작에 영향을 받아 오프셋 전압이 증가되는 현상이 방지됨으로써 정확한 디지털 신호를 발생할 수 있다.
- <45> 도3은 본 발명의 플래쉬 아날로그 디지털 변환회로의 다른 실시예의 배치를 설명하기 위한 것으로, 도1에 나타낸 회로와 구성상에 있어서는 동일하다. 단지, 비교기 어레이(20)를 구성하는 더미 프리 앰프들(13-1, 13-2), 및 프리 앰프들(12-15, 12-2, 12-13, 12-4, 12-11, 12-6, 12-9)과 더미 래치들(14-1, 14-2), 및 래치들(14-15, 14-2, 14-13, 14-4, 14-11, 14-6, 14-9)의 네거티브 및 포지티브 입출력 단자들의 위치를 바꾸어서 배치한 것이 상이하다. 그리고, 더미 프리 앰프(13-2)로 기준전압들(VR9, VR7)이 인가되도록 구성된 것이 상이하다.
- <46> 도3에서, 프리 앰프들(12-1, 12-14, 12-3, 12-12, 12-5, 12-10, 12-7, 12-8)의 회로와 더미 프리 앰프들(13-1, 13-2), 및 프리 앰프들(12-15, 12-2, 12-13, 12-4, 12-11, 12-6, 12-9)의 회로가 대칭적으로 구성되어 있다. 또한, 래치들(14-1, 14-14, 14-3, 14-12, 14-5, 14-10, 14-7, 14-8)의 회로와 더미 래치들(15-1, 15-2), 및 래치들(14-15, 14-2, 14-13, 14-4, 14-11, 14-6, 14-9)의 회로가 대칭적으로 구성되어 있다.
- <47> 도3에 나타낸 회로의 동작은 도1에 나타낸 회로의 동작과 동일하므로, 도1의 동작 설명을 참고로 하면 쉽게 이해될 것이다.
- <48> 도3에 나타낸 플래쉬 아날로그 변환회로의 아날로그 입력신호(AIN)의 레벨에 따른 비교기 어레이의 비교기들의 네거티브 출력단자와 포지티브 출력단자로 출력되는 디지털 신호의 상태를 나타내면 아래의 표3과 같다.
- <49>

【표 3】

AIN	DC1	C15	C1	C14	C2	C13	C3	C12	C4	C11	C5	C10	C6	C9	C7	C8	DC2
	+ -	+ -	- +	- +	+ -	+ -	- +	- +	+ -	+ -	- +	- +	+ -	+ -	- +	- +	+ -
16	1 0	1 0	0 1	0 1	1 0	1 0	0 1	0 1	1 0	1 0	0 1	0 1	1 0	1 0	0 1	0 1	1 0
15	1 0	0 1	0 1	0 1	1 0	1 0	0 1	0 1	1 0	1 0	0 1	0 1	1 0	1 0	0 1	0 1	1 0
14	1 0	0 1	0 1	1 0	1 0	1 0	0 1	0 1	1 0	1 0	0 1	0 1	1 0	1 0	0 1	0 1	1 0
13	1 0	0 1	0 1	1 0	1 0	0 1	0 1	0 1	1 0	1 0	0 1	0 1	1 0	1 0	0 1	0 1	1 0
12	1 0	0 1	0 1	1 0	1 0	0 1	0 1	1 0	1 0	1 0	0 1	0 1	1 0	1 0	0 1	0 1	1 0
11	1 0	0 1	0 1	1 0	1 0	0 1	0 1	1 0	1 0	0 1	0 1	0 1	1 0	1 0	0 1	0 1	1 0
10	1 0	0 1	0 1	1 0	1 0	0 1	0 1	1 0	1 0	0 1	0 1	0 1	1 0	1 0	0 1	0 1	1 0
9	1 0	0 1	0 1	1 0	1 0	0 1	0 1	1 0	1 0	0 1	0 1	1 0	1 0	1 0	0 1	0 1	1 0
8	1 0	0 1	0 1	1 0	1 0	0 1	0 1	1 0	1 0	0 1	0 1	1 0	1 0	0 1	0 1	0 1	1 0
7	1 0	0 1	0 1	1 0	1 0	0 1	0 1	1 0	1 0	0 1	0 1	1 0	1 0	0 1	0 1	1 0	1 0
6	1 0	0 1	0 1	1 0	1 0	0 1	0 1	1 0	1 0	0 1	0 1	1 0	1 0	0 1	1 0	1 0	0 1
5	1 0	0 1	0 1	1 0	1 0	0 1	0 1	1 0	1 0	0 1	0 1	1 0	0 1	0 1	1 0	1 0	0 1
4	1 0	0 1	0 1	1 0	1 0	0 1	0 1	1 0	0 1	0 1	1 0	1 0	0 1	0 1	1 0	1 0	0 1
3	1 0	0 1	0 1	1 0	1 0	0 1	1 0	1 0	0 1	0 1	1 0	1 0	0 1	0 1	1 0	1 0	0 1
2	1 0	0 1	0 1	1 0	0 1	0 1	1 0	1 0	0 1	0 1	1 0	1 0	0 1	0 1	1 0	1 0	0 1
1	1 0	0 1	1 0	1 0	0 1	0 1	1 0	1 0	0 1	0 1	1 0	1 0	0 1	0 1	1 0	1 0	0 1

<50> 표3에 나타난 부호들은 표1에 나타난 부호들과 동일한 방법으로 나타난 것이다.

<51> 표3에 나타난 비교기들(C1 ~ C15)로부터 출력되는 디지털 신호와 표1에 나타난 비교기들(C1 ~ C15)로부터 출력되는 디지털 신호는 동일하다.

<52> 그런데, 더미 비교기들(DC1, DC2), 및 비교기들(C15, C2, C13, C4, C11, C6, C9)의 네거티브 및 포지티브 입출력단자들의 위치가 바뀌어서 배치됨으로 인해서 출력되는 디지털 신호의 위치가 바뀌어서 발생된다.

<53> 표3으로부터 알 수 있듯이, 비교기들(C1 ~ C15) 각각의 네거티브 및 포지티브 출력단자들로부터 출력되는 디지털 신호가 "0", "1"에서 "1", "0"으로 천이할 때 또는 "1", "0"에서 "0", "1"로 천이할 때 인접한 비교기들의 포지티브(또는, 네거티브) 출력단자로부터 출력되는 디지털 신호가 "0"에서 "1"으로, 또는 "1"에서 "1"로 천이한다. 즉, 비교기

들(C1 ~ C15) 각각에 인접한 비교기들의 포지티브(또는, 네거티브) 출력단자로부터 출력되는 디지털 신호가 동일 상태로 천이한다.

<54> 예를 들어 설명하면, 비교기(C1)는 아날로그 입력신호가 REF- ~ VR1 레벨에서 VR1 ~ VR2 레벨로 천이하는 경우에 네거티브 출력단자의 디지털 신호가 "1"에서 "0"으로 천이하고, 포지티브 출력단자의 디지털 신호가 "0"에서 "1"로 천이한다. 이때, 인접한 비교기(C15)의 네거티브 출력단자의 디지털 신호가 "1"에서 "1"로 천이하고, 인접한 비교기(C14)의 네거티브 출력단자의 디지털 신호가 "1"에서 "1"로 천이한다. 즉, 인접한 비교기(C15)의 네거티브 출력단자와 인접한 비교기(C14)의 네거티브 출력단자의 디지털 신호가 동일 상태로 천이한다. 이에 따라, 비교기(C1)가 인접 비교기들(C15, C14)의 동작에 영향을 받아 오프셋 전압이 증가되는 현상이 방지됨으로써 정확한 디지털 신호를 발생할 수 있다.

<55> 마찬가지로, 비교기들(C2 ~ C15) 각각도 인접 비교기들의 동작에 영향을 받아 오프셋 전압이 증가되는 현상이 방지됨으로써 정확한 디지털 신호를 발생할 수 있다.

<56> 도4는 도2 및 도3에 나타낸 비교기 어레이의 프리 앰프 및 래치의 실시예의 구성을 나타내는 회로도로서, 스위치들(SW1 ~ SW5), 캐패시터들(C1, C2), PMOS트랜지스터들(P1 ~ P4), 및 NMOS트랜지스터들(N1 ~ N4)로 구성된 프리 앰프(40)와, PMOS트랜지스터들(P5 ~ P10), NMOS트랜지스터들(N5 ~ N7), 및 인버터들(I1, I2, I3, I4)로 구성된 래치(50)로 구성되어 있다.

<57> 도4에서, 스위치들(SW2, SW3, SW5)은 제어신호(Q1)에 응답하여 온/오프되고, 스위치들(SW1, SW4)은 제어신호(Q2)에 응답하여 온/오프된다. 그리고, 제어신호들(Q1, Q2)은 서로 반대되는 위상을 가지며, 제어신호(Q2)는 제어신호(Q1)가

"하이"레벨로 천이하기 전에 "로우"레벨로 천이한다. 아날로그 입력신호(AIN+)와 기준전압(VR+)이 포지티브 입력단자로 인가되는 신호이고, 아날로그 입력신호(AIN-)와 기준전압(VR-)이 네거티브 입력단자로 인가되는 신호이다.

<58> 도4에 나타낸 프리 앰프 및 래치의 동작을 설명하면 다음과 같다.

<59> 먼저, 바이어스 전압(VBIAS)이 인가되어 NMOS트랜지스터들(N3, N4)이 온되고, "하이"레벨의 제어신호(Q1)에 응답하여 스위치들(SW2, SW3, SW5)이 온되고, "로우"레벨의 제어신호(Q2)에 응답하여 스위치들(SW1, SW4)이 오프되고, PMOS트랜지스터들(P5, P6)이 온되고, NMOS트랜지스터들(N7, N8)이 오프된다.

<60> 그러면, 캐패시터(C1)에 기준전압(VR+)에 상응하는 전하가 충전되고, 캐패시터(C2)에 기준전압(VR-)에 상응하는 전하가 충전된다. 이때, 스위치(SW5)가 온되어 있으므로, 증폭 신호들(Vamp, Vampb)의 레벨은 동일하게 된다. 래치(50)는 노드(a, b)에 래치된 신호를 디지털 신호(VC, VCB)로 발생한다.

<61> 다음에, "로우"레벨의 제어신호(Q1)에 응답하여 스위치들(SW2, SW3, SW5)이 오프되고, "하이"레벨의 제어신호(Q2)에 응답하여 스위치들(SW1, SW4)이 온되고, PMOS트랜지스터들(P5, P6)이 오프되고, NMOS트랜지스터들(N7, N8)이 온된다.

<62> 그러면, 캐패시터(C1)에 충전된 기준전압(VR+)에 상응하는 전하에 아날로그 입력신호(AIN+)에 상응하는 전하가 합해져서 충전되고, 캐패시터(C2)에 충전된 기준전압(VR-)에 상응하는 전하에 아날로그 입력신호(AIN-)에 상응하는 전하가 합해져서 충전된다. 이에 따라, NMOS트랜지스터들(N1, N2)의 게이트로 인가되는 전압에 차이가 발생한다. 만일 NMOS트랜지스터(N1)의 게이트로 인가되는 전압이 NMOS트랜지스터(N2)의 게이트로 인가

되는 전압보다 높으면 "하이"레벨과 "로우"레벨의 증폭 신호들(Vamp, Vampb)을 발생하고, 반대의 경우에 "로우"레벨과 "하이"레벨의 증폭 신호들(Vamp, Vampb)을 발생한다. NMOS트랜지스터들(N7, N8)이 온되어 있으므로 노드들(a, b)은 접지전압 레벨로 된다.

인버터들((I1, I2), (I3, I4)) 각각은 노드들(a, b)의 신호를 버퍼하여 "0", "0"의 디지털 신호들(VC, VCB)을 발생한다.

<63> 이 후, 제어신호(Q2)가 "하이"레벨에서 "로우"레벨로 천이하게 되면, PMOS트랜지스터들(P5, P6)이 온되고, NMOS트랜지스터들(N7, N8)이 오프된다.

<64> 그러면, 증폭 신호들(Vamp, Vampb)의 레벨에 따라, PMOS트랜지스터들(P7, P9)과 PMOS트랜지스터들(P8, P10)을 통하여 흐르는 전류의 양이 달라지게 되고, 이에 따라, 노드들(a, b)의 신호의 레벨이 달라지게 된다. 인버터들((I1, I2), (I3, I4))은 노드들(a, b)의 신호를 버퍼하여 "1", "0" 또는 "0", "1"의 디지털 신호들(VC, VCB)을 발생한다.

<65> 도4에 나타낸 비교기와 도4에 나타낸 비교기의 회로 구성과 대칭적인 회로 구성을 가지는 비교기(미도시)를 본 발명의 비교기 어레이의 배치방법에 따라 배치함으로써 인접 비교기의 동작에 영향을 받아 발생하는 오프셋 전압을 제거할 수 있다.

<66> 도4는 실시예의 비교기의 구성을 나타낸 것으로, 비교기는 다른 어떤 형태로 구성되더라도 상관없다.

<67> 그리고, 상술한 실시예의 비교기 어레이의 배치방법은 더미 프리 앰프 및 더미 래치를 구비하는 구성을 나타내었으나, 더미 프리 앰프 및 더미 래치를 구비하지 않고 구성되는 경우에도 당연히 본 발명의 배치방법이 적용될 수 있다.

<68> 또한, 상술한 실시예에서는 플래쉬 아날로그 디지털 변환회로를 이용하여 비교기 어레이의 배치방법을 설명하였지만, 플래쉬 아날로그 디지털 변환회로가 아닌 다른 회로에 본 발명의 비교기 어레이가 적용되는 경우에도 본 발명의 배치방법에 의해서 배치하는 것이 가능하다.

<69> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【발명의 효과】

<70> 본 발명의 플래쉬 아날로그 디지털 변환회로의 비교기 어레이의 배치방법은 비교기들 각각이 다른 상태로 천이시에 인접 비교기들이 동일 상태로 천이하도록 비교기들을 배치함으로써 오프셋 전압이 증가되는 것을 방지할 수 있다.

<71> 따라서, 본 발명의 배치방법에 따라 설계된 플래쉬 아날로그 디지털 변환회로는 레이아웃 면적을 증가하지 않으면서 정확한 디지털 신호를 발생할 수 있다.

【특허청구범위】

【청구항 1】

2^n 개의 기준전압들을 발생하고, 접어서 배치된 기준전압 발생수단;

상기 2^n 개의 기준전압들 각각과 아날로그 입력신호의 전압 차를 비교하여 2^n-1 개의 온도계 코드를 가진 디지털 신호를 발생하는 2^n-1 개의 비교기들을 구비한 비교기 어레이; 및

상기 2^n-1 개의 온도계 코드를 가진 디지털 신호를 엔코딩하여 n 비트의 디지털 신호를 발생하는 엔코더를 구비한 플래쉬 아날로그 디지털 변환회로의 비교기 어레이의 배치 방법에 있어서,

상기 비교기 어레이의 상기 제 2^n-1 번째 비교기로부터 제 $2^n/2$ 번째 비교기까지의 비교기들을 순서대로 배치하고, 상기 2^n-1 개의 비교기들의 제 $2^n/2-1$ 번째 비교기로부터 제1번째 비교기까지의 비교기들을 상기 2^n-1 개의 비교기들의 제 2^n-1 번째 비교기로부터 상기 제 $2^n/2$ 번째 비교기까지의 비교기들사이에 역순으로 배치하고,

상기 비교기 어레이의 제 2^n-1 번째 비교기로부터 제 $2^n/2$ 번째 비교기까지의 상기 2^n-1 개의 비교기들 각각이 다른 상태로 천이시에 상기 2^n-1 개의 비교기들 각각에 인접한 비교기들이 동일 상태로 천이하도록 상기 비교기들을 배치하는 것을 특징으로 하는 플래쉬 아날로그 디지털 변환회로의 비교기 어레이의 배치방법.

【청구항 2】

제1항에 있어서, 상기 비교기 어레이의 상기 2^n-1 개의 비교기들 각각은 포지티브 입출력단자 및 네거티브 입출력단자를 구비하고,

포지티브 입출력단자, 네거티브 입출력단자, 포지티브 입출력단자, 네거티브 입출력단자, 네거티브 입출력단자, 포지티브 입출력단자, 네거티브 입출력단자, 포지티브 입출력단자, 네거티브 입출력단자, 포지티브 입출력단자 순으로 배치되도록 상기 제 2^n-1 번째 비교기로부터 제 $2^n/2$ 번째 비교기까지의 비교기들을 배치하는 것을 특징으로 하는 플래쉬 아날로그 디지털 변환회로의 비교기 어레이의 배치방법.

【청구항 3】

제1항에 있어서, 상기 비교기 어레이의 상기 2^n-1 개의 비교기들 각각은 포지티브 입출력단자 및 네거티브 입출력단자를 구비하고,

네거티브 입출력단자, 포지티브 입출력단자, 네거티브 입출력단자, 포지티브 입출력단자, 포지티브 입출력단자, 네거티브 입출력단자, 포지티브 입출력단자, 네거티브 입출력단자 순으로 배치되도록 상기 제 2^n-1 번째 비교기로부터 제 $2^n/2$ 번째 비교기까지의 비교기들을 배치하는 것을 특징으로 하는 플래쉬 아날로그 디지털 변환회로의 비교기 어레이의 배치방법.

【청구항 4】

제1항에 있어서, 상기 비교기 어레이는

제 1 및 제2더미 비교기들을 더 구비하고, 상기 제 2^n-1 번째 비교기에 인접하게 상기 제1더미 비교기를 배치하고, 상기 제 $2^n/2$ 번째 비교기에 인접하게 상기 제2더미 비교기를 배치하고,

상기 비교기 어레이의 상기 제1더미 비교기로부터 상기 제2더미 비교기까지의 비교기들 각각은 포지티브 입출력단자와 네거티브 입출력단자를 구비하고,

포지티브 입출력단자, 네거티브 입출력단자, 포지티브 입출력단자, 네거티브 입출력단자, 네거티브 입출력단자, 포지티브 입출력단자, 네거티브 입출력단자, 포지티브 입출력단자, 네거티브 입출력단자, 포지티브 입출력단자 순으로 배치되도록 상기 제1더미 비교기로부터 상기 제2더미 비교기까지의 비교기들을 배치하는 것을 특징으로 하는 플래쉬 아날로그 디지털 변환회로의 비교기 어레이의 배치방법.

【청구항 5】

제4항에 있어서, 상기 비교기 어레이의 상기 제2더미 비교기는

상기 제 $2^n/2-1$ 번째 비교기의 포지티브 입력단자로 인가되는 기준전압 및 아날로그 입력신호가 포지티브 입력단자로 인가되고, 상기 제 $2^n/2-1$ 번째 비교기의 네거티브 입력단자로 인가되는 기준전압 및 아날로그 입력신호가 네거티브 입력단자로 인가되도록 구성되는 것을 특징으로 하는 플래쉬 아날로그 디지털 변환회로의 비교기 어레이의 배치방법.

【청구항 6】

제1항에 있어서, 상기 비교기 어레이는

제 1 및 제2더미 비교기들을 더 구비하고, 상기 제 2^n-1 번째 비교기에 인접하게 상기 제1더미 비교기를 배치하고, 상기 제 $2^n/2$ 번째 비교기에 인접하게 상기 제2더미 비교기를 배치하고,

상기 비교기 어레이의 상기 제1더미 비교기로부터 상기 제2더미 비교기까지의 비교기들의 각각은 포지티브 입출력단자와 네거티브 입출력단자를 구비하고,

네거티브 입출력단자, 포지티브 입출력단자, 네거티브 입출력단자, 포지티브 입출력단자, 포지티브 입출력단자, 네거티브 입출력단자, 포지티브 입출력단자, 네거티브 입출력단자 순으로 배치되도록 상기 제1더미 비교기로부터 상기 제2더미 비교기까지의 비교기들을 배치하는 것을 특징으로 하는 플래쉬 아날로그 디지털 변환회로의 비교기 어레이의 배치방법.

【청구항 7】

제6항에 있어서, 상기 비교기 어레이의 상기 제2더미 비교기는

상기 제 $2^{n/2}-1$ 번째 비교기의 포지티브 입력단자로 인가되는 기준전압 및 아날로그 입력신호가 포지티브 입력단자로 인가되고, 상기 제 $2^{n/2}-1$ 번째 비교기의 네거티브 입력단자로 인가되는 기준전압 및 아날로그 입력신호가 네거티브 입력단자로 인가되도록 구성되는 것을 특징으로 하는 플래쉬 아날로그 디지털 변환회로의 비교기 어레이의 배치방법.

【청구항 8】

2^n 개의 기준전압들 각각과 아날로그 입력신호의 전압 차를 비교하여 2^{n-1} 개의 온도 계 코드를 가진 디지털 신호를 발생하는 2^{n-1} 개의 비교기들의 제 2^{n-1} 번째 비교기로부터 제 $2^{n/2}$ 번째 비교기까지의 비교기들을 순서대로 배치하고, 2^{n-1} 개의 비교기들의 제 $2^{n/2}-1$ 번째 비교기로부터 제1번째 비교기까지의 비교기들을 상기 2^{n-1} 개의 비교기들의 제 2^{n-1} 번째 비교기로부터 상기 제 $2^{n/2}$ 번째 비교기까지의 비교기들 사이에 역순으로 배치하고,

상기 비교기 어레이의 제 2^{n-1} 번째 비교기로부터 제 $2^{n/2}$ 번째 비교기까지의 상기 2^{n-1} 개의 비교기들 각각이 다른 상태로 천이시에 상기 2^{n-1} 개의 비교기들 각각에 인접한

비교기들이 동일 상태로 천이하도록 상기 비교기들을 배치하는 것을 특징으로 하는 비교기 어레이의 배치방법.

【청구항 9】

제8항에 있어서, 상기 비교기 어레이의 상기 2^n-1 개의 비교기들 각각은 포지티브 입출력단자 및 네거티브 입출력단자를 구비하고,

포지티브 입출력단자, 네거티브 입출력단자, 포지티브 입출력단자, 네거티브 입출력단자, 네거티브 입출력단자, 포지티브 입출력단자, 네거티브 입출력단자, 포지티브 입출력단자, 네거티브 입출력단자, 포지티브 입출력단자 순으로 배치되도록 상기 제 2^n-1 번째 비교기로부터 제 $2^n/2$ 번째 비교기까지의 비교기들을 배치하는 것을 특징으로 하는 비교기 어레이의 배치방법.

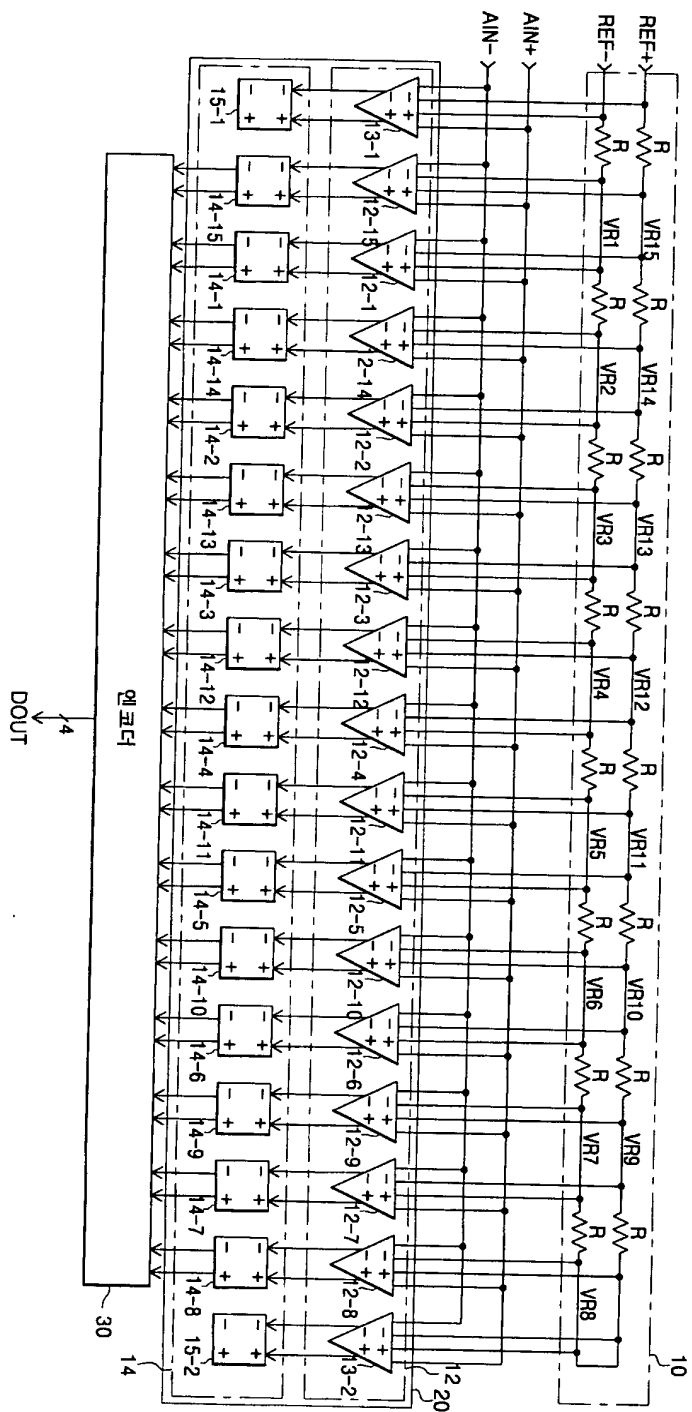
【청구항 10】

제8항에 있어서, 상기 비교기 어레이의 상기 2^n-1 개의 비교기들 각각은 포지티브 입출력단자 및 네거티브 입출력단자를 구비하고,

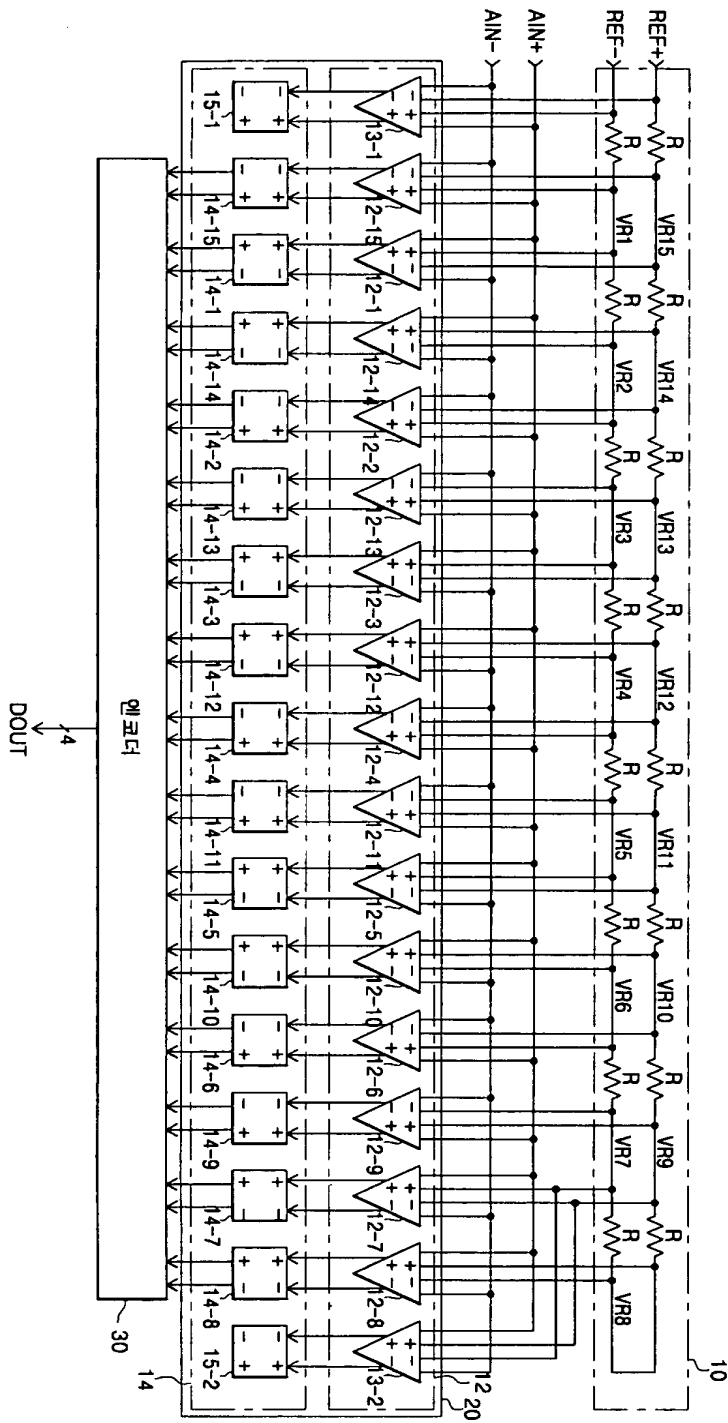
네거티브 입출력단자, 포지티브 입출력단자, 네거티브 입출력단자, 포지티브 입출력단자, 포지티브 입출력단자, 네거티브 입출력단자, 포지티브 입출력단자, 네거티브 입출력단자, 네거티브 입출력단자, 포지티브 입출력단자 순으로 배치되도록 상기 제 2^n-1 번째 비교기로부터 제 $2^n/2$ 번째 비교기까지의 비교기들을 배치하는 것을 특징으로 하는 비교기 어레이의 배치방법.

【도면】

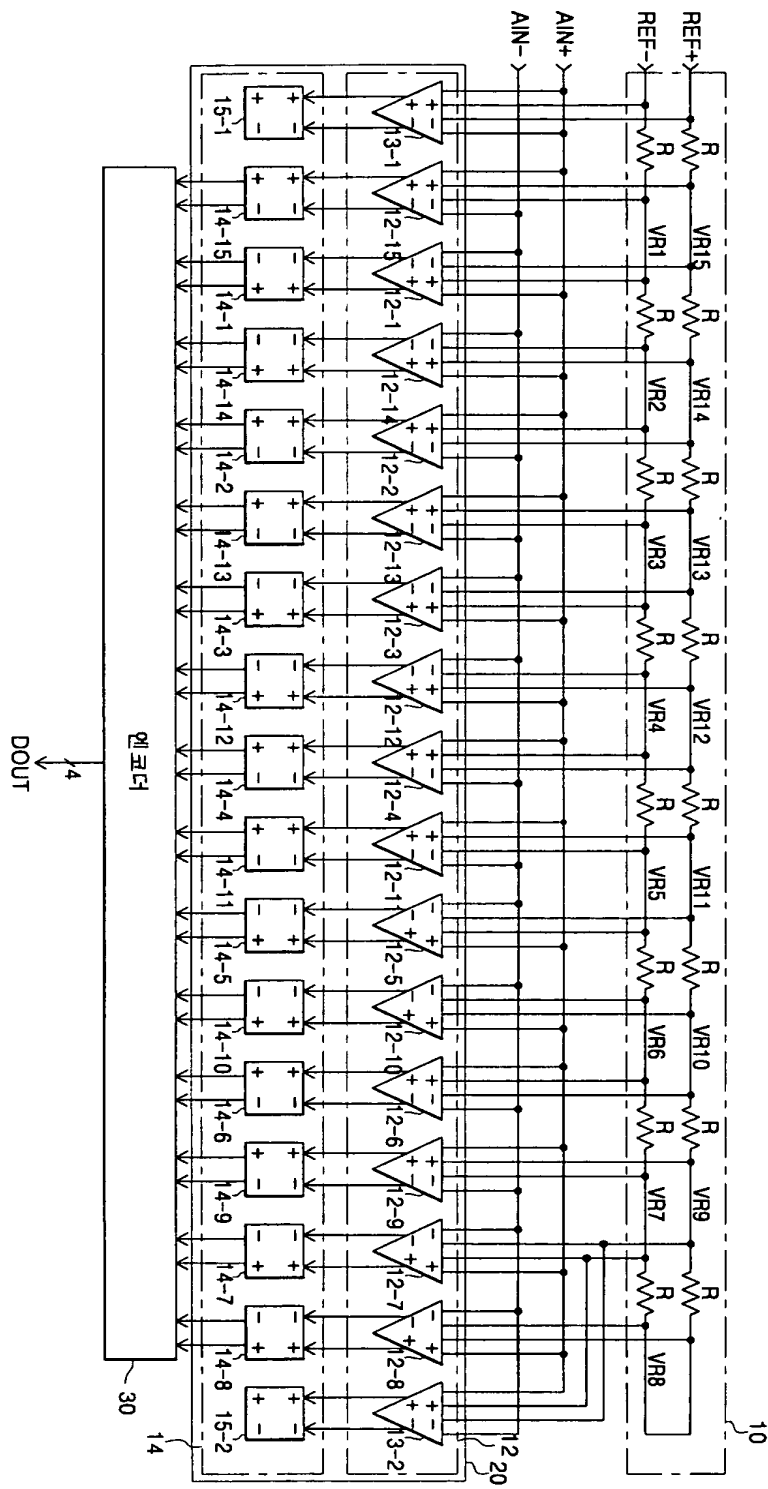
【도 1】



【도 2】



【도 3】



【도 4】

